

DERWENT-ACC-NO: 1995-218923

DERWENT-WEEK: 199529

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Semiconductor IC device e.g. super aligned bipolar structure - incorporates second contact hole directly above first contact hole through aluminium wiring exact alignment

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1993JP-0292745 (October 28, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 07130759 A	May 19, 1995	N/A	006	<u>H01L 021/331</u>

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 07130759A	N/A	1993JP-0292745	October 28, 1993

INT-CL (IPC): H01L021/28, H01L021/331 , H01L029/73

ABSTRACTED-PUB-NO: JP 07130759A

BASIC-ABSTRACT:

The semiconductor IC device has a multilayer structure. The wiring layer allows emitter current to flow in two layers. Further the upper layer of the metal wiring is made sufficiently thick to allow multiple emitter currents. The contact hole (32) is formed partly on the upper portion of the emitter contact.

A plug (33) is formed inside the contact hole, filling up the entire hole and plugging it. The plug is connected to aluminium wiring (34) of the second layer, which has film thickness of 1 micrometer. The film thickness of the first aluminium wiring layer (30) is 0.5 micrometer. The above referred contact hole is directly above the first contact hole (29).

ADVANTAGE - Increases current density in second wiring layer. Enables higher emitter current to be obtained. Increases speed of operation.

CHOSEN-DRAWING: Dwg.1/6

TITLE-TERMS: SEMICONDUCTOR IC DEVICE SUPER ALIGN BIPOLAR STRUCTURE
INCORPORATE

SECOND CONTACT HOLE ABOVE FIRST CONTACT HOLE THROUGH ALUMINIUM
WIRE

EXACT ALIGN

DERWENT-CLASS: U11 U12

EPI-CODES: U11-C05E3; U11-C05F2; U12-D01A;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1995-171695

(11)特許出願公開番号

図 1 実施例におけるバイポーラトランジスタの断面構造

【特許請求の範囲】

【請求項1】バイポーラトランジスタのエミッタと第1層目の金属配線とを接続する第1のコンタクトホールの上直上に、上記第1層目の金属配線と第2層目の金属配線とを接続する第2のコンタクトホールを具えることを特徴とする半導体集積回路装置。

【請求項2】上記バイポーラトランジスタのエミッタは拡散層からなることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】上記第1層目の金属配線と上記拡散層との接続にタングステンプラグを用いることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項4】上記第1層目の金属配線と上記拡散層との接続にポリシリコンプラグを用いることを特徴とする請求項2に記載の半導体集積回路装置。

【請求項5】上記バイポーラトランジスタのエミッタはポリシリコン及びポリシリコンと電気的に接触している拡散層からなることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項6】上記第1層目の金属配線と上記ポリシリコンとの接続にタングステンプラグを用いることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項7】上記第1層目の金属配線と上記ポリシリコンとの接続にポリシリコンプラグを用いることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項8】上記バイポーラトランジスタのエミッタはポリサイド及び下層ポリシリコンと電気的に接触している拡散層からなることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項9】上記第1層目の金属配線と上記ポリサイドとの接続にタングステンプラグを用いることを特徴とする請求項8に記載の半導体集積回路装置。

【請求項10】上記第1層目の金属配線と上記ポリサイドとの接続にポリシリコンプラグを用いることを特徴とする請求項8に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【目次】以下の順序で本発明を説明する。

産業上の利用分野

従来の技術（図3及び図4）

発明が解決しようとする課題（図5及び図6）

課題を解決するための手段（図1及び図2）

作用

実施例（図1及び図2）

発明の効果

【0002】

【産業上の利用分野】本発明は半導体集積回路装置に関し、特にバイポーラトランジスタの高集積化が要求される半導体集積回路装置に適用して好適なものである。

【0003】

【従来の技術】近年、大規模集積回路（LSI）の高集積化と共にデバイス的高速化が積極的に進められている。特に、バイポーラ集積回路やバイポーラCMOS集積回路では一層の高速性を実現するためデバイスや回路に様々な工夫がなされてきた。これら集積回路で重要な基本素子となるのがnpnトランジスタである。このnpnトランジスタの構造としてはポリシリコンエミッタを用いたプレーナ型のトランジスタが近年まで主流であった。

【0004】図3にこの構造を有するバイポーラトランジスタ1Aを示す。2はシリコン基板を示し、その表面にコレクタ埋込層3とエピタキシャル層4とが順に形成されている。エピタキシャル層4の表面には素子間分離用の酸化膜5が選択的に形成されており、これら酸化膜5が形成されていない領域が素子形成領域となる。この一部に表面からコレクタ埋込層3に達するコレクタ引出用の拡散層6が形成される。また残る領域の表面部分に真性ベース7及びグラフトベース8となる拡散層が形成され、このうち真性ベース7の領域中にエミッタ9が形成される。そして各拡散領域の全面を覆う絶縁膜10に設けられたコンタクト孔からコレクタ電極11、ベース電極12及びエミッタ電極13が引き出される。

【0005】この構造は図から分かるように単純であるが、自己整合（セルフアライメント）技術を用いて加工できないためデバイスサイズの専有面積が大きくなる欠点がある。特にベースとコレクタとの接合面積S1が複数のマスクのアライメント精度及び各層の寸法精度で決まるためベースコレクタ間容量C_{bc}を低減することができず、素子の動作速度を高速化できないという問題があった。

【0006】そこで最近では2層ポリシリコンセルフアライン型（T.Sakai and M.Suzuki, "Super Self-Aligned Bipolar Technology," Symp.VLSI Technol., Dig.Tech. Pap., 16(1983)）のトランジスタが主流になってきている。このトランジスタの構造を図3との対応部分に同一符号を付して示す図4に示す。

【0007】この構造の利点は、ベースとメタル配線とのコンタクト部分を図のようにベースポリシリコン14によつてベースコレクタ接合部の外側に配置することができる点である。このようにするとベースとコレクタとの接合部分をメタル配線のピッチに左右されずに形成できるため、接合面積S2をかなり小さくすることができる。またエミッタとベース間の距離もサイドウォールスベータの幅で決定することができるため寄生容量が小さくかつ遮断周波数f_Tの高いバイポーラトランジスタが実現できる。

【0008】

【発明が解決しようとする課題】ところでこのトランジスタ構造を採用することによつてデバイスサイズを最小にできるのはエミッタ電極をベースとコレクタとの間に

配置する場合であり、次のような場合には構造上の利点を有効に発揮することができなかつた。これはバイポーラトランジスタを高性能化するため電流駆動能力を向上させる必要がある場合である。

【0009】この場合、エミッタ電流が増大することになるため対エレクトロマイグレーション (Electromigration) 耐性を向上させる必要が生じる。対エレクトロマイグレーション耐性を向上させるにはメタル配線幅を広くとるがある。従つてベースとコレクタとの接合面積 S_2 は小さくすることができてもデバイスサイズ自体は大きくせざるを得なかつた。例えば図5に示すバイポーラ*

$$MTF = A \cdot J^{-n} \cdot \exp (\Delta E / k T)$$

で表すことができる (安食 恒雄編:「半導体デバイスの信頼性技術」、日科技連、1988)。ここで A は定数、 J は電流密度、 n は定数 (2~3) をそれぞれ表し、また k はボルツマン定数、 T は配線の絶対温度、 ΔE は活性化エネルギー (0.5~0.8 [eV]) を表す。

【0011】この寿命の一例を図6に示す (P.B.Gate: "Electromigration-induced failures in VLSI interconnects," Solid State Tech., (3)4475, 1980)。例えば n の値を2、また活性化エネルギー ΔE の値を0.55 [eV] と仮定すると、配線温度が175 [°C] となるバイポーラトランジスタの平均故障寿命として15年を保証するためには、使用材料により多少の差異はあるが許容電流密度を 1×10^5 [A/cm²] 以下しなければならない。

【0012】この条件は、例えばメタル膜厚を500 [nm] とするとき、1 [μm] の配線幅当たりエミッタ電流を0.5 [mA] 以下に抑えることに相当する。従つてエミッタ電流を多く流すにはその分、配線幅を広くしなければならない。このように高周波帯域で駆動されるバイポーラ回路の平面サイズは配線ピッチによつて決定されることになり、配線領域の寄生抵抗や寄生容量を低減できないという問題があつた。

【0013】本発明は以上の点を考慮してなされたもので、従来に比して平面サイズが小さかつエミッタ電流として大電流を流すことができるバイポーラトランジスタを含む半導体集積回路装置を提案しようとするものである。

【0014】

【課題を解決するための手段】かかる課題を解決するため本発明においては、バイポーラトランジスタのエミッタ9と第1層目の金属配線30とを接続する第1のコンタクトホール27の直上に、第1層目の金属配線30と第2層目の金属配線34とを接続する第2のコンタクトホール32を設けるようにする。

【0015】

【作用】バイポーラトランジスタのエミッタ9に流れるミッタ電流を第1層目の金属配線30から第2層目の金属配線34へ流す。ここで第2層目の金属配線34の許※50

*トランジスタの場合、接合部の長さは1.3 [μm] であるのに対し、エミッタ電極12の幅としては4.0 [μm] 必要となり、その分デバイスサイズを大きく形成しなければならない。

【0010】これは高速デバイスでは素子自体の発熱量も大きく、配線温度が上昇するにつれて平均故障時間が短くなるためである。対エレクトロマイグレーションの影響による配線の平均故障寿命 (MTF: mean time to failure) は、次式

【数1】

$$\dots\dots (1)$$

※容電流密度は第1層目の許容電流密度に比して大きくできるため、平面的にみた実効的なメタル配線の許容電流密度は第1層目の金属配線30を用いる場合に比して大きくとることができる。この結果、バイポーラトランジスタの平面的なレイアウトを最小にしつつエミッタに高電流を流すことができ、高速なバイポーラトランジスタを実現することができる。

【0016】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0017】図4との対応部分に同一符号を付して示す図1において、21は全体としてバイポーラトランジスタを示している。このバイポーラトランジスタ21はエミッタコンタクトの直上に設けられるアルミニウム配線層を2層とすることを特徴とする。そしてエミッタ電流を1層目のアルミニウム配線層から2層目のアルミニウム配線層へと流すことにより実質的な許容電流密度を向上させるものである。

【0018】以下このバイポーラトランジスタ21の断面構造及び平面配置を図1及び図2を用いて説明する。因に図1は図2に示すA-Aに沿つた断面図である。p型シリコン基板2にはサブコレクタとなる n^+ 埋め込み層3が形成され、その上にn型のエピタキシャルシリコン層4が形成されている。ここで5は素子分離用酸化膜であり、6は n^+ 型のコレクタ電極引き出し層である。

【0019】これら素子分離用酸化膜5によつて囲まれた素子形成領域に真性ベース7、グラフトベース8が形成される。このうちグラフトベース8はベース引き出し電極14を形成するポリシリコンから拡散されるp型不純物によつて形成される。また真性ベース7中にはエミッタ9が形成される。このエミッタ9はエミッタポリシリコン22からn型不純物を拡散することによつて形成される。エミッタポリシリコン22とエミッタ9との接触部分がエミッタコンタクト23である。またベース引き出し電極であるベースポリシリコン14とエミッタコンタクト23との間はスペーサ24によつて電氣的に分離されている。

【0020】このバイポーラトランジスタ21の表面は

5

絶縁膜25によつて覆われており、各電極取り出し用のコンタクトホール26、27、28が開口されている。各コンタクトホール26、27、28にはタングステンでなるプラグ29が埋め込まれている。このプラグ29は0.5〔 μm 〕の膜厚を有する1層目のアルミニウム配線30に接続されている。この実施例ではこの配線層の上にさらに層間絶縁膜31が形成され、エミッタコンタクトの直上部分にコンタクトホール32が形成されている。このコンタクトホール32にはタングステンでなるプラグ33が埋め込まれており、1〔 μm 〕の膜厚を有する2層目のアルミニウム配線34に接続されている。

【0021】このプラグ33を介すことによりエミッタ電流が1層目のアルミニウム配線30から2層目のアルミニウム配線34へ流すことができる。この実施例の場合、2層目のアルミニウム配線34の膜厚(1〔 μm 〕)は1層目のアルミニウム配線30の膜厚(0.5〔 μm 〕)に対して2倍であるため平面的にみた配線の許容電流密度は2倍に上げることができる。

【0022】従つて、1層目のアルミニウム配線30の配線幅は1.1〔 μm 〕あれば良く、従来の配線幅(4.0〔 μm 〕)に比して一段と縮小することができる。このように1層目のアルミニウム配線30の許容電流密度は2層目のアルミニウム配線34の存在によつて小さくて済むため、その線幅は自由に設定することができる。これにより配線ピッチ(線幅+間隔)の制約を少なくでき、レイアウトの自由度を一段と上げることができる。

【0023】またベースとコレクタの各引き出しは1層目のアルミニウム配線30であるのに対し、エミッタ引き出しは2層目のアルミニウム配線34となるためエミッタ配線とベース配線間の容量及びエミッタ配線とコレクタ配線間の容量も低減できる。

【0024】以上の構成によれば、エミッタ電流が流れる配線層を2層としたことにより下層配線の電流許容密度を低減することができ、1層目のアルミニウム配線30の線幅を配線ピッチの制約を受けることなく狭く設定することができる。これによりエミッタ電流を多く流しながらデバイスサイズを小さくすることができ、高性能のバイポーラトランジスタを容易に実現することができる。

【0025】なお上述の実施例においては、ベースポリシリコン14をポリシリコンとする場合について述べたが、本発明はこれに限らず、ポリサイドのような下地がポリシリコンでなる積層配線を用いても良い。

【0026】また上述の実施例においては、プラグ29及び33をタングステンとする場合について述べたが、本発明はこれに限らず、ポリシリコン等、他の導電性材料でも良い。

【0027】さらに上述の実施例においては、配線材料

6

としてアルミニウムを用いる場合について述べたが、本発明はこれに限らず、他の金属を用いても良い。

【0028】また上述の実施例においては、エミッタをポリシリコンエミッタと拡散層によつて形成する場合について述べたが、本発明はこれに限らず、拡散層だけで形成される場合にも適用し得、また高融点金属、下層ポリシリコン及び拡散層の3層によつて形成される場合にも適用し得る。同様にエミッタをポリサイド、下層ポリシリコン及び拡散層の3層によつて形成する場合にも適用し得る。

【0029】さらに上述の実施例においては、配線層を2層とする場合について述べたが、本発明はこれに限らず、3層以上の場合にも広く適用し得る。

【0030】

【発明の効果】上述のように本発明によれば、エミッタ電流を流す配線層を2層とし、許容電流密度を高くすることができる第2層目の金属配線へ多くのエミッタ電流を流すようにしたことにより、第1層目の金属配線の線幅を従来に比して狭くすることができる。この結果、バイポーラトランジスタの平面的なレイアウトを最小にしつつエミッタ電流を大きく設定することができる。これにより高速動作する半導体集積回路装置を容易に実現することができる。

【図面の簡単な説明】

【図1】本発明による半導体集積回路装置に含まれるバイポーラトランジスタの断面構造を示す略線図である。

【図2】各電極の配置を示す平面図である。

【図3】プレーナ型トランジスタの説明に供する断面図である。

【図4】セルフアライメント型トランジスタの説明に供する断面図である。

【図5】従来用いられているバイポーラトランジスタのデバイスサイズの説明に供する断面図である。

【図6】エレクトロマイグレーション特性を示す特性曲線図である。

【符号の説明】

1A、2A、21……バイポーラトランジスタ、2……シリコン基板、3……コレクタ埋込層、4……エピタキシャル層、5……酸化膜、6……拡散層、7……真性ベース、8……グラフトベース、9……エミッタ、10、25……絶縁膜、11……コレクタ電極、12……ベース電極、13……エミッタ電極、14……ベースポリシリコン、22……エミッタポリシリコン、23……エミッタコンタクト、24……スペーサ、26、27、28、32……コンタクトホール、29、33……プラグ、30、34……アルミニウム配線、31……層間絶縁膜。

【図1】

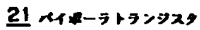


図 1 実施例におけるパイポーラトランジスタの断面構造

【图2】

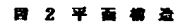


图 2 平面构造

【図3】

1A バイポーラ
トランジスタ



図 3 プレーナ型トランスダクタの構造

【図4】

1B バイポーラ
トランジスタ

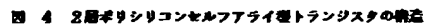


図 4 2層ポリシリコンセルフアライ型トランジスタの構造

【図5】

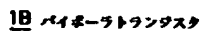


図 5 従来のプロセスでの形成したバイポーラトランジスタの構造

【図6】

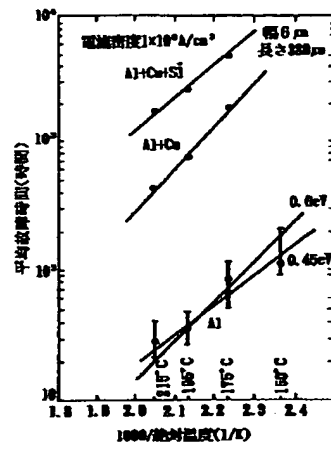


図 6 エレクトロマイグレーション寿命

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the abbreviation diagram showing the cross-section structure of the bipolar transistor contained in the semiconductor integrated circuit equipment by this invention.

[Drawing 2] It is the top view showing arrangement of each electrode.

[Drawing 3] It is the sectional view with which explanation of a planar transistor is presented.

[Drawing 4] It is the sectional view with which explanation of a self-alignment mold transistor is presented.

[Drawing 5] It is the sectional view with which explanation of the device size of the bipolar transistor used conventionally is presented.

[Drawing 6] It is the characteristic curve sheet showing an electromigration property.

[Description of Notations]

1A, 2A, 21 A bipolar transistor, 2 .. Silicon substrate, 3 [.. Diffusion layer,] A collector buried layer, 4 .. An epitaxial layer, 5 .. An oxide film, 6 7 [.. Insulator layer,] The intrinsic base, 8 .. A graft base, 9 .. 10 An emitter, 25 11 A collector electrode, 12 .. A base electrode, 13 .. Emitter electrode, 14 [.. A spacer, 26 27, 28, 32 / .. 29 A contact hole, 33 / .. 30 A plug, 34 / .. Aluminum wiring, 31 / .. Interlayer insulation film.] Base polish recon, 22 .. Emitter polish recon, 23 .. Emitter contact, 24

[Translation done.]